

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-294634

(P2000-294634A)

(43)公開日 平成12年10月20日(2000.10.20)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト\*(参考)

H 0 1 L 21/768

H 0 1 L 21/90

K 4 M 1 0 4

21/283

21/283

C 5 F 0 0 4

21/3065

21/312

A 5 F 0 3 3

21/312

21/316

X 5 F 0 5 8

21/316

21/318

B

審査請求 有 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願平11-99717

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成11年4月7日(1999.4.7)

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

弁理士 稲垣 清

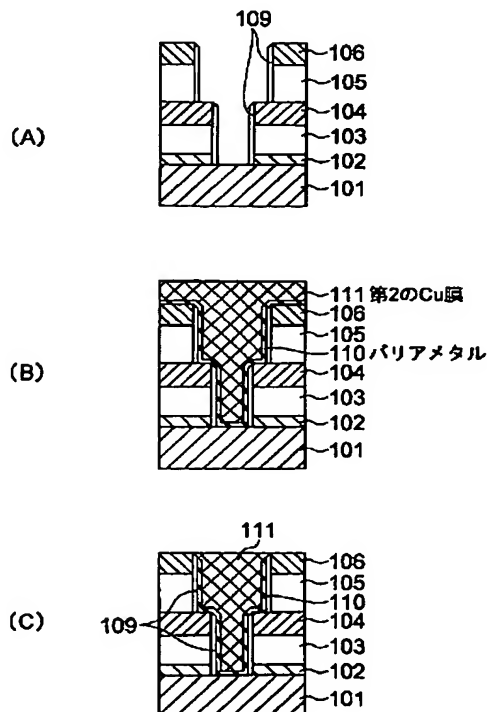
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 基板表面に複数の配線構造を配置させて成る従来の半導体では、リーク電流が発生し隣接する配線構造間の絶縁性が損なわれる、配線構造の複数の膜の界面で密着性不良やクラックが生ずる、配線構造中の有機樹脂膜等からのガス等に起因して、隣接する配線構造間の空間にボイドが生ずるといった欠点があった。本発明はこれらを解消した半導体装置及びその製造方法を提供する。

【解決手段】 基板上に隣接する配線構造の対向面の側壁部分に無機絶縁膜109を形成する。この無機絶縁膜は、個々の配線構造内で生ずるリーク電流を遮断し、配線構造内の複数の膜102～106を側面から保持するためクラック等の発生が防止され、更に有機樹脂膜103、105からのガスを遮断して隣接配線構造間の空間でのボイドの形成を阻害する。



## 【特許請求の範囲】

【請求項 1】 基板上に複数の配線を配置して成り隣接する配線間の空間に金属を充填して成る半導体装置において、隣接する配線の対向面の側壁部分に無機絶縁膜を設置したことを特徴とする半導体装置。

【請求項 2】 無機絶縁膜の比誘電率が、配線を構成する複数の積層膜の各比誘電率のうち最も小さいものより大きいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 比誘電率の小さい膜を 2 層含み、該膜の間に位置する膜がプラズマシリコン酸化膜、プラズマシリコン窒化膜、プラズマシリコンオキシナイトライドから成る群から選択される 1 又は 2 以上であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 比誘電率の小さい膜が、有機樹脂、ハイドロジェンシルセスキオキサン、メチルシルセスキオキサン、無機シロキサン系ポーラス膜成る群から選択される 1 又は 2 以上であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 無機絶縁膜の熱膨張係数が、配線を構成する複数の積層膜の各熱膨張係数のうち最小の熱膨張係数と最大の熱膨張係数の間にある請求項 1 から 4 までのいずれかに記載の半導体装置。

【請求項 6】 少なくとも 1 層の低誘電率膜を含む複数の積層膜から成る積層構造を形成する工程、該積層構造に隣接する配線を区画する配線用溝を形成する工程、該配線用溝により区画された配線構造の上面、側壁及び前記配線用溝の平面に無機絶縁膜を形成する工程、該無機絶縁膜をエッチバックして前記配線構造の側壁以外の無機絶縁膜を除去する工程、及び前記配線構造の側壁に残った無機絶縁膜の内部空間に金属膜を埋設する工程、とを含んで成ることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は多層配線構造を有する半導体装置及びその製造方法に関し、特にリーク電流を許容値以下に抑えることのでき、密着性低下を抑制し、ボイド発生を回避できる半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 半導体デバイスはますます微細化および集積化が進行し、その配線の幅及び間隔も狭くなっている。配線幅が狭くなるとその間の配線間容量が増加し、配線のスピード低下を招く。それを回避するため、その配線に低抵抗金属材料を用い、かつ配線間に低誘電率膜を用いるなどが対策として考えられる。それらの対策の中で銅配線を用いた構造が最近注目されている。特にデュアルダマシンは工程削減に大きく貢献し採用する効果大きい。デュアルダマシン法を用いる半導体装置の従来の製造方法として、図 7～9 に示す方法が知られている。

【0003】 この方法では、まず第 1 の Cu 膜 301 上に第 1 の P-SiN 膜 302 を形成する。次に低誘電率の有機樹脂である例えば PAE (ポリアリルエーテル) を有機溶媒に溶解した液を塗布し、低温焼成及び炉中の窒素雰囲気での高温焼成を行って第 1 の PAE 膜 303 とする (図 7-A)。次にこの PAE 膜 304 上に第 1 プラズマ SiO<sub>2</sub> (P-SiO<sub>2</sub>) 膜を 304 を成長させる (図 7-B)。その膜の上に更に第 2 PAE 膜 305 を前述と同様な方法で形成し、更にその膜の上に第 2 の P-SiO<sub>2</sub> 膜 306 を形成する (図 7-C)。その後、第 2 の P-SiO<sub>2</sub> 膜 306 上のビア形成予定領域に KrF フォトリジスト 307 を形成し、該フォトリジスト 307 をマスクとして使用し前記第 2 の P-SiO<sub>2</sub> 膜 306 をフロロカーボン系ガスを用いて加工する。PAE 膜 305 と P-SiO<sub>2</sub> 膜 306 では P-SiO<sub>2</sub> 膜のほうがフロロカーボン系ガスによりエッチングされやすいように設定しているため、P-SiO<sub>2</sub> 膜 306 のみがほぼ選択的にエッチングされて該膜 306 に開口部が形成される (図 7-D)。

【0004】 次いでフォトリジスト 307 を残したまま第 2 の PAE 膜 305 を酸素系ガスと窒素ガスの混合ガスにより、加工する。このとき残っていたフォトリジスト 307 はこのエッチングにより同時に除去される。また PAE も有機成分のみで構成されているため酸素と窒素の混合ガスで充分にエッチングで除去され、かつ P-SiO<sub>2</sub> はこれらのガスではエッチングは殆ど進行しないため選択性の充分な向上が可能であり第 1 の P-SiO<sub>2</sub> 膜 304 がエッチングストッパーとして機能する (図 8-A)。その後更に第 2 の P-SiO<sub>2</sub> 膜 306 上に 1 回目のフォトリジスト 307 よりも大きな面積の溝配線に対応するように内径の大きなフォトリジスト 308 を形成する (図 8-B)。次にまず第 2 の P-SiO<sub>2</sub> 膜 306 をフロロカーボン系ガスで加工し、次に第 2 の PAE 305 を前述と同様に酸素系ガスと窒素ガスの混合ガスにて加工する。この時既に開口された部分の第 1 P-SiO<sub>2</sub> 膜 303 と第 1 の PAE 膜 304 はエッチングされる。この時も残ったフォトリジスト 308 は有機樹脂の加工つまり酸素系ガスと窒素ガスの混合ガスによるエッチングで同時に除去される。

【0005】 次に第 1 の P-SiN 膜 302 をエッチングして第 1 の Cu 膜 301 への開口を行うため、全体をエッチバックする (図 8-C)。この開口を円滑に行うためには、予め第 1 の P-SiN 302 を薄く形成しておくか、または第 1 の P-SiN 膜 302 の厚さに対して、第 1 の P-SiO<sub>2</sub> 膜 304 及び第 2 の P-SiO<sub>2</sub> 膜 306 を充分厚くするよう形成しておくことが好ましい。以上までのプロセスフローで低誘電率膜、ここでは第 1 の PAE 膜 303 及び第 2 の PAE 膜 305 を用いたデュアルダマシン構造が形成される。その後バリアメタル 309 としてタンタル (Ta) をスパッタ法にて形成し (図 8-

## 3

D) 次に該バリアメタル309 内の空間つまり隣接する配線間の空間に、銅膜310 をスパッタ法にて成膜し、前記空間を充填する(図9-A)。次いで水素還元雰囲気下において加熱して充填した銅を再融解させてリフローを実施する。しかし埋設は完全にできず、ボイド311 が形成されてしまう。その後、CMP (ケミカル・メカニカル・ポリッシング) を実施することでCu 310 及びバリアメタル309 を研磨する(図9-B)。このような配線を含む半導体装置は外観上は問題がないが、配線内にボイドが含まれているため信頼性上問題が出る可能性が極めて高い。

## 【0006】

【発明が解決しようとする課題】このようにして製造される半導体装置の問題点として次の3点を挙げるができる。第1の問題点は同層配線間および同層接続孔リーク電流が大きくなる可能性が高いことである。その理由は低誘電率膜、例えば前述のPAE等の有機樹脂膜やポーラス膜はその膜自身のリーク電流が非常に大きい傾向があることである。その低誘電率膜を同層の配線間の絶縁膜に使用する場合、特に隣接配線で単層で構成される場合は配線間リーク、および接続孔間リークの原因となる。第2の問題点は剥がれやクラックが発生しやすいことである。その理由は前記低誘電率膜は金属膜との密着性が悪く、またその熱膨張係数が金属膜の熱膨張係数と非常に大きな差を有しているからである。従来の方法では直接に金属配線と低誘電率膜が接するところが存在すると、後工程で熱サイクルがなると密着性不良や、クラックが生ずることが多い。

【0007】第3の問題点は溝部および接続孔を円滑に埋設することが困難であることであり、その理由は次の通りである。デバイスの微細化が進み特にアスペクト比が4以上を超えた構造となった場合は量産を踏まえた金属膜埋設技術、例えばスパッタリフローであればアスペクト比2.5、めっき法であればアスペクト比4が限界である。埋設性の優れるCu-CVD法はあまり量産性がないためアスペクト比が4以上と優れてはいるが、量産性の良好な方法としては現在、使用できる段階にない。この従来の方法であると溝、接続孔とも垂直構造のため金属配線は埋設ができず、ボイドが形成されてしまう。これは金属を埋設する前に行うデガス処理により剥き出しになっている有機樹脂やポーラス膜からのガスが発生しやすく、このガスがボイドとなり埋設性不良の原因となることが多い。有機樹脂から成る膜の場合はエッチング等により破壊された部分の有機物が脱離し、ポーラス膜の場合、吸湿した水の脱離し、これらがボイド発生の主な原因となっている。本発明はこれらの従来技術の欠点を解消した半導体装置及びその製造方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明装置は、基板上に

## 4

複数の配線を配置して成り隣接する配線間の空間に金属を充填して成る半導体装置において、隣接する配線の対向面の側壁部分に無機絶縁膜を設置したことを特徴とする半導体装置であり、本発明方法は、少なくとも1層の低誘電率膜を含む複数の積層膜から成る積層構造を形成する工程、該積層構造に隣接する配線を区画する配線用溝を形成する工程、該配線用溝により区画された配線構造の上面、側壁及び前記配線用溝の平面に無機絶縁膜を形成する工程、該無機絶縁膜をエッチバックして前記配線構造の側壁以外の無機絶縁膜を除去する工程、及び前記配線構造の側壁に残った無機絶縁膜の内部空間に金属膜を埋設する工程、とを含んで成ることを特徴とする半導体装置の製造方法である。

【0009】以下本発明を詳細に説明する。本発明は、半導体基板上に、銅等の金属膜、二酸化珪素等のシリコン系膜、有機樹脂や多孔性(ポーラス)膜等の複数の膜から成る多層配線構造の隣接する該配線構造の対向面となるべき側壁にシリコン系等の無機絶縁膜を形成することを特徴としている。該無機絶縁膜は前述した3点の従来技術の問題点を解決できる。つまり第1に、この膜は絶縁性であり、特に有機樹脂膜や多孔性膜等でリーク電流が発生しても、前記無機絶縁膜が該リーク電流を遮断して隣接する配線構造へ漏洩することを回避する。又仮にリーク電流が生じても、殆どの場合対応デバイスの許容範囲内に維持できる。

【0010】第2に、この無機絶縁膜は比誘電率や熱膨張係数が配線構造を構成する金属膜と有機樹脂膜又は多孔性膜との中間にあるため、配線構造内の金属膜と有機樹脂膜等相互の密着性が悪くても両膜を側面から接続して密着力を向上させている。従って両膜の剥離、膜のクラック等が発生することが殆どなくなり、その後の工程での不都合が解消できる。第3に、配線構造の作製以後の隣接する配線構造間の空間に金属を埋設する際に、特に有機樹脂膜や多孔性膜から生じやすいガス、有機物あるいは水を前記無機絶縁膜が遮断し、前記空間への侵入を防止する。従って金属埋設空間にボイドが発生せず、均一な埋設金属膜を形成できる。この無機絶縁膜はこのような機能を良好に発揮できる材料から製造され、例えば半導体中に多く含まれる珪素系の絶縁物(例えばSiO<sub>2</sub>、P-SiON及びSiN等)であると半導体自体の機能への影響が殆どなくなるため好ましい。

【0011】又該無機絶縁膜は配線構造の側壁部分だけに形成することが望ましいが、例えば配線構造の側面に水平な段部がある場合にその段部に形成しても良い。更に半導体自体の機能に悪影響を及ぼさない限り、他の箇所に形成しても差し支えない。更に配線構造の側壁全体に前記無機絶縁膜を形成することが最も望ましいが、構造上の理由等から側壁全面に形成できない場合もあり、この場合にもその形成率にも依るが、リーク電流の減少、密着性の向上、及びボイド消失に多少なりとも寄与

できるため、本発明に含まれる。本発明は配線中に比較的低誘電率の膜を有する半導体装置を対象とするが、該膜の材質として、PAE及びシロキサン系ポーラス膜の他、BCB（ベンゾシクロブテン）、ポリパラキシリレンなど他の有機樹脂のような熱膨張係数の高い材料やHSQ（ハイドロジェンシルセスキオキサン）やMSQ（メチルシルセスキオキサン）などのように多孔性は低いがプラズマ酸化膜と比較しリーク電流の大きな材質が含まれる。

#### 【0012】

【発明の実施の形態】次に本発明の半導体装置の実施形態に関し説明するが、該実施形態は本発明を限定するものではない。図1から図3は、本発明の第1の実施形態による半導体装置の製造工程を順に縦断面図である。まず基板（図示略）上の第1のCu膜101上にプラズマシリコン窒化膜（P-SiN膜）102を300Åの厚さで形成する。次に低誘電率の有機樹脂である例えばPAE（ポリアリルエーテル）を有機溶媒に溶解した液を塗布し、200℃のホットプレートで焼成し約450℃の炉での窒素雰囲気での1時間の焼成を行って第1のPAE膜103膜とする（図1-A）。次にこのPAE膜103上にプラズマシリコン酸化膜（P-SiO<sub>2</sub>膜）104を1000Åの厚さに形成する（図1-B）。

【0013】従来法と同様に更に第2のPAE膜105を5000Åの厚さで、第2のP-SiO<sub>2</sub>膜106を1000Åの厚さでそれぞれ形成する（図1-C）。その後、第2のP-SiO<sub>2</sub>膜106上のビア形成予定領域にKrFフォトリソレジスト107を形成し、該フォトリソレジスト107をマスクとして使用し前記第2のP-SiO<sub>2</sub>膜106をフロロカーボン系ガスを用いて加工する。PAE膜105とP-SiO<sub>2</sub>膜106はP-SiO<sub>2</sub>膜のほうがフロロカーボン系ガスによりエッチングされやすいように設定しているため、P-SiO<sub>2</sub>膜106のみがほぼ選択的にエッチングされてこの膜106に開口部が形成される（図1-D）。次いでフォトリソレジスト107を残したまま第2のPAE膜105を酸素系ガスと窒素ガスの混合ガスにより加工する。このとき残っていたフォトリソレジスト107はこのエッチングにより同時に除去される。またPAEも有機成分のみで構成されているため酸素と窒素の混合ガスで十分にエッチング加工され、かつP-SiO<sub>2</sub>膜104はこれらのガスではエッチングは殆ど進行しないため選択性の充分な向上が可能であり第1のP-SiO<sub>2</sub>膜104がエッチングストッパーとして機能する（図2-A）。その後更に第2のP-SiO<sub>2</sub>膜106上に1回目のフォトリソレジスト107よりも大きな面積の溝配線に対応するように内径の大きなフォトリソレジスト108を形成する（図2-B）。

【0014】次に第2のP-SiO<sub>2</sub>膜106をフロロカーボン系ガスで加工し、次に第2のPAE105を前述と同様に酸素系ガスと窒素ガスの混合ガスにて加工する。

この時既に開口された部分の第1P-SiO<sub>2</sub>膜103と第1のPAE膜104はエッチングされる。この時も残ったフォトリソレジスト108は有機樹脂の加工つまり酸素系ガスと窒素ガスの混合ガスによるエッチングと同時にエッチングにより除去される。次に第1のP-SiN膜102をエッチングして第1のCu膜101への開口を形成するため、全体をエッチバックする。この開口を円滑に行うためには、予め第1のP-SiN膜102を薄く形成しておくか、または第1のP-SiN膜102の厚さに対して、

10 第1のP-SiO<sub>2</sub>膜104及び第2のP-SiO<sub>2</sub>膜106を充分厚くするよう形成しておくことが好ましい（図2-C）。以上のプロセスフローで低誘電率膜、ここでは第1のPAE膜103及び第2のPAE膜105を用いたデュアルダマシン構造が形成される。

【0015】次に、全面に、つまり図2-Cの第2のP-SiO<sub>2</sub>膜106の上面及び側面、第2のPAE膜105の側面、第1のP-SiO<sub>2</sub>膜104の上面及び側面、第1のPAE膜103の側面、第1のP-SiN膜102の側面、及び第1のCu膜101の上面のうちの露出面全面に、第3のP-SiO<sub>2</sub>膜（無機絶縁膜）109を500Åの厚さで形成する（図2-D）。その後エッチバックしサイドウォール部、つまり第2のP-SiO<sub>2</sub>膜106の側面、第2のPAE膜105の側面、第1のP-SiO<sub>2</sub>膜104の側面、第1のPAE膜103の側面、第1のP-SiN膜102の側面のみに、第3のP-SiO<sub>2</sub>膜（無機絶縁膜）109を残す（図3-A）。次に酸化したCuを水素雰囲気中で還元した後にバリアメタル110としてタンタルをスパッタ法により形成しその上から第2のCu膜111をスパッタで形成し、還元雰囲気中でリフローを行

30 い埋め込む（図3-B）。このとき、隣接する配線間の空間である溝部は金属の埋設に有利な順テーパ形状となっている。つまりサイズの異なる2個のフォトリソレジスト107、108を使用してエッチングを行っているため、下方の第1のP-SiN膜102、第1のPAE膜103及び第1のP-SiO<sub>2</sub>膜104と、上方の第2のPAE膜105及び第2のP-SiO<sub>2</sub>膜106間に段部があり、進入しにくい下方が径が小さいため（図2-D）、抵抗なく金属の埋設が進行する。その後第2のCu膜111のCMPを行って研磨し隣接する配線間の空間に形成される溝部内のCu膜111のみ残し（図3-C）、基板上に必要な配線を形成した半導体装置が製造される。

【0016】図4から図6は、本発明の第2の実施形態による半導体装置の製造工程を順に縦断面図である。本実施形態は第1の実施形態と構造的にはほぼ同一で膜を構成する材質の一部を変更したものである。つまり前記第1の実施形態における、第1のCu膜101、第1のP-SiN膜102、第1のPAE膜103、第1のP-SiO<sub>2</sub>膜104、第2のPAE膜105、第2のP-SiO<sub>2</sub>膜106及び第3のP-SiO<sub>2</sub>膜（無機絶縁膜）109を、それぞれ第1のCu膜201、第1のP-SiON膜

202、第1のシロキサン系ポーラス膜203、第2のP-SiON膜204、第2のシロキサン系ポーラス膜205、第3のP-SiON膜206及び第4のP-SiON膜（無機絶縁膜）209に変更（第1のCu膜のみ同一）したもので、このような材質から成る本実施形態の半導体装置の配線構造は、図4-A～図4-D、図5-A～図5-D、図6-A及び図6-Bの順に第1の実施形態と同様にして製造される。最終的な構造としては、第1の実施形態の第1のP-SiON膜102に相当する本実施形態の第1のP-SiON膜202の側面に無機絶縁膜を形成しなかつた点のみが異なっている。

【0017】（実施例）次のようにプロセスで第2の実施形態の半導体装置を製造し、その性能評価を行った。第1のCu配線201上に第1のP-SiON膜202を200Åの厚さで形成した。次に低誘電率膜である第1のシロキサン系ポーラス膜203を5000Åの厚さに塗布し、300℃のホットプレートで5分ベークし、HMDS雰囲気

に曝すことにより疎水化を行った（図4-A）。次に第1のシロキサン系ポーラス膜203の上に第2のP-SiON膜204を1000Åの厚さで形成し（図4-B）、更に低誘電率膜である第2のシロキサン系ポーラス膜205を前記と同様に5000Åの厚さで形成し、更にその上に第3のP-SiON膜206を1000Åの厚さで形成した（図4-C）。

【0018】フォトレジスト207を将来のビア形成予定箇所に形成し、フロロカーボンガスにて第3のP-SiON膜206及び第2のシロキサン系ポーラス膜205のエッチングを行った。P-SiON膜とシロキサン系ポーラス膜は後者の方がエッチングレートが速いため第2のP-SiON膜204部分でエッチングは容易にストップした（図4-D）。次に酸素ガスによる異方性プラズマによりフォトレジスト207を除去し、次いで他のフォトレジスト208を将来の溝形成予定箇所に形成した（図5-A）。次に再度フロロカーボンガスにより第2のP-SiON膜204及び第3のP-SiON膜206、第1のシロキサン系ポーラス膜203、第2のシロキサン系ポーラス膜205のエッチングを同時に行った。シロキサン系ポーラス膜の方がエッチングレートは速いため第1のP-SiON膜でエッチングが停止した。次に前述の操作と同様にフォトレジスト208の除去を酸素ガスによる異方性プラズマにより行った（図5-B）。この操作の際には第1のCu膜201は露出していないため酸化されることはなかった。

【0019】次に、第3のP-SiON膜206の上面及び側面、第2のシロキサン系ポーラス膜205の側面、第2のP-SiON膜204の上面及び側面、第1のシロキサン系ポーラス膜203の側面、第1のP-SiON膜202の側面、及び第1のCu膜201の上面のうちの露出面全面に、第4のP-SiON膜（無機絶縁膜）209を500Åの厚さで形成した（図5-C）。その後エッチパッ

クしサイドウォール部、つまり第3のP-SiON膜206の側面、第2のシロキサン系ポーラス膜205の側面、第2のP-SiON膜204の側面、第1のシロキサン系ポーラス膜203の側面のみに、第4のP-SiO<sub>2</sub>膜（無機絶縁膜）209を残し、かつ第1のCu膜201を露出させた（図5-D）。次にバリアメタル210としてタンタルをスパッタ法により、第4のP-SiO<sub>2</sub>膜209を含む露出面全面に形成しその上から第2のCu膜211をスパッタで500Åの厚さに形成し、それをシード膜としてめっきによるCu膜の成膜を行った（図6-A）。その後第2のCu膜211のCMPを実施し隣接する配線間の空間に形成される溝部内のCu膜211のみ残し（図6-B）、基板上に必要な配線を形成した半導体装置を製造した。

【0020】比較用として第4のP-SiON膜209を形成しなかったこと以外は、前述と同じ操作で無機絶縁膜を有しない半導体装置を作製した。本実施例の半導体装置と比較用半導体装置に同一条件で通電したところ、本実施例の半導体装置ではリーク電流が観察されず、比較用半導体装置では僅かなリーク電流が測定された。1000時間通電後、分解したところ、本実施例の半導体装置ではクラックが観察されず、比較用半導体装置ではクラックが生じていた。又本実施例の半導体装置における第4のP-SiON膜（無機絶縁膜）209形成時、つまりバリアメタル210形成前の状態の半導体装置と同じ状態の比較用半導体装置（無機絶縁膜なし）の脱ガスレベルを比較したところ、比較用半導体装置における観察されたガス量は本実施例の半導体装置の約5倍に達した。

#### 【0021】

【発明の効果】本発明は基板上に複数の配線を配置して成り隣接する配線間の空間に金属を充填して成る半導体装置において、該配線の側壁部分に無機絶縁膜を設置したことを特徴とする半導体装置であり、無機絶縁膜の比誘電率は、配線を構成する複数の積層膜の各比誘電率のうち最も小さいものより大きく、熱膨張係数が、配線を構成する複数の積層膜の各熱膨張係数のうち最小の熱膨張係数と最大の熱膨張係数の間にあるように構成することが望ましい。このように配線の側壁部分に無機絶縁膜を設けると、第1に配線中の有機樹脂膜等からのリーク電流を遮断し、隣接する配線間の電流漏洩を防止又は許容範囲に抑制できる。

【0022】第2に配線内の積層膜の材質が異なり、膜の界面で剥離や密着性低下が生じても複数の膜の側面で、好ましくはそれらの中間の性質を有する無機絶縁膜で前記複数の膜が保持されるため、前記剥離や密着性低下は最小限に抑えられる。第3に有機樹脂膜等から生じやすいガス、有機物あるいは水を前記無機絶縁膜が遮断して前記空間への侵入を防止し、金属埋設空間でのボイド発生を抑制する。又本発明方法で製造される半導体装置も同様な効果を有し、リーク電流がなく、密着性が良

9

好で、ボイドの発生のない半導体装置が得られる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態による半導体装置の製造工程の第 1 段階を示す縦断面図。

【図 2】 同じく第 2 段階を示す縦断面図。

【図 3】 同じく第 3 段階を示す縦断面図。

【図 4】 本発明の第 2 の実施形態による半導体装置の製造工程の第 1 段階を示す縦断面図。

【図 5】 同じく第 2 段階を示す縦断面図。

【図 6】 同じく第 3 段階を示す縦断面図。

【図 7】 従来の半導体装置の製造工程の第 1 段階を示す縦断面図。

【図 8】 同じく第 2 段階を示す縦断面図。

【図 9】 同じく第 3 段階を示す縦断面図。

【符号の説明】

101 第 1 の Cu 膜

102 第 1 の P-SiN 膜

103 第 1 の PAE 膜

10

104 第 1 の P-SiO<sub>2</sub>

105 第 2 の PAE 膜

106 第 2 の P-SiO<sub>2</sub>

107、108 フォトレジスト

109 第 3 の P-SiO<sub>2</sub>

110 バリウム金属

111 第 2 の Cu 膜

201 第 1 の Cu 膜

202 第 1 の P-SiON 膜

10 203 第 1 のシロキサン系ポーラス膜

204 第 1 の P-SiON 膜

205 第 2 のシロキサン系ポーラス膜

206 第 3 の P-SiON 膜

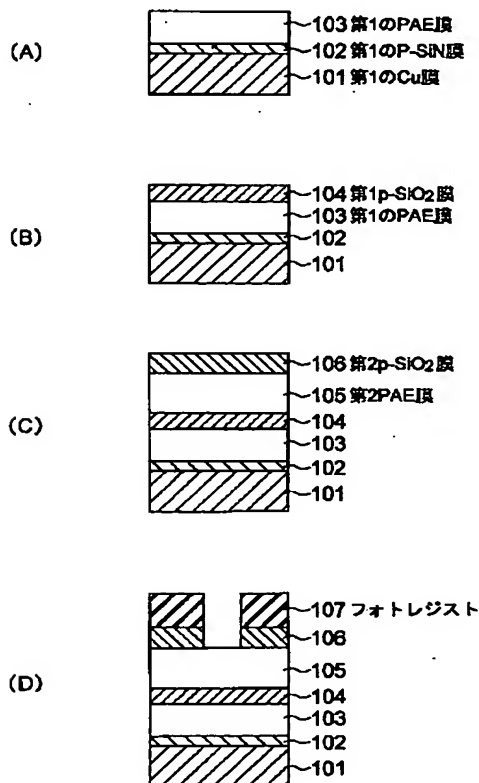
207、208 フォトレジスト

209 第 4 の P-SiON 膜

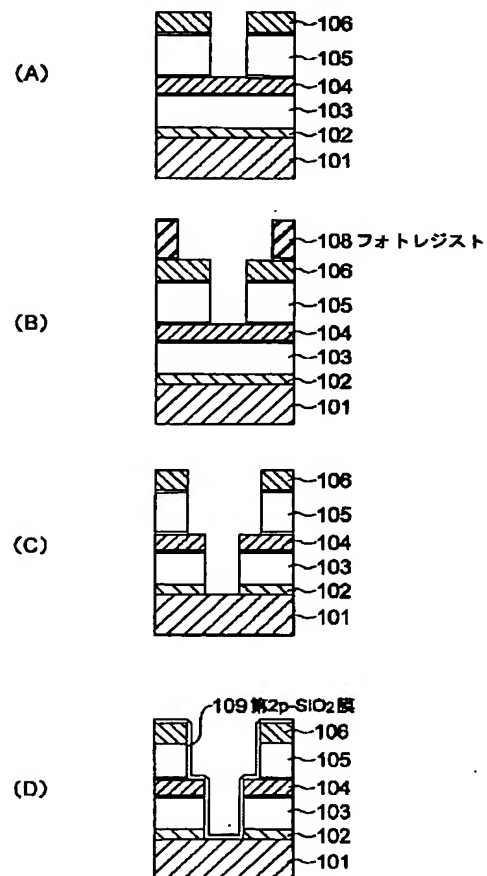
210 バリウム金属

211 第 2 の Cu 膜

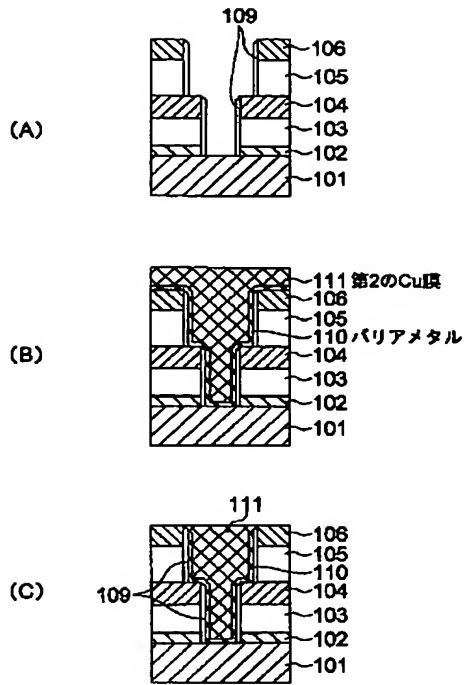
【図 1】



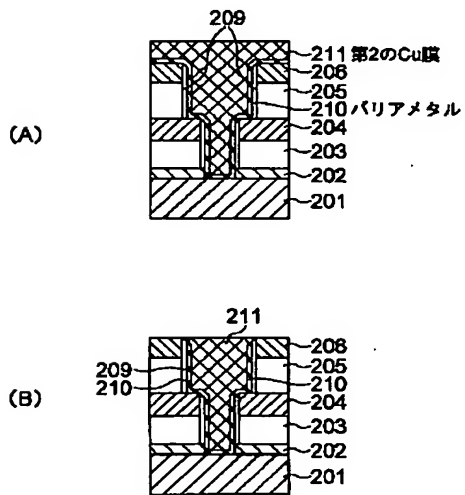
【図 2】



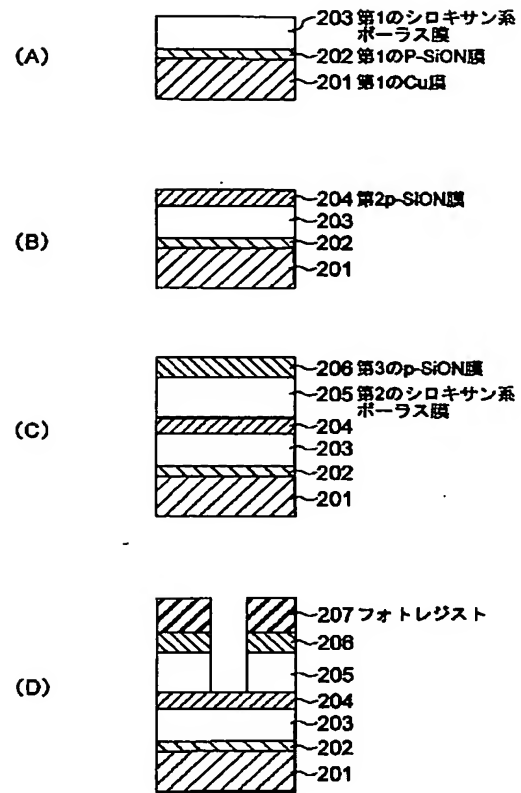
【図3】



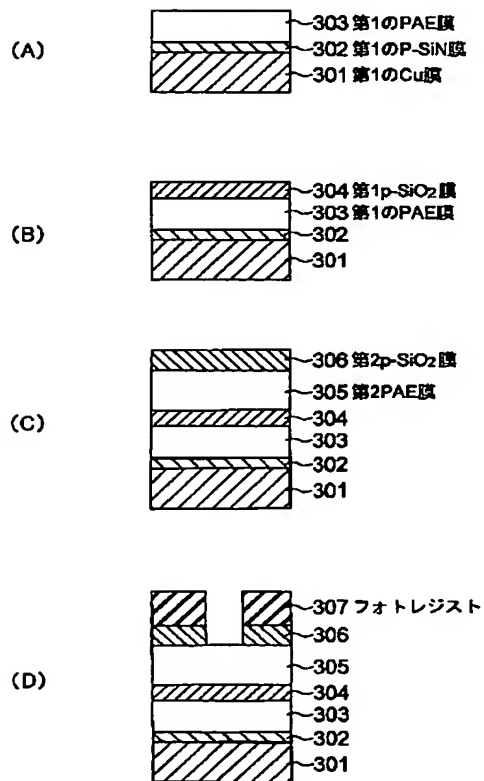
【図6】



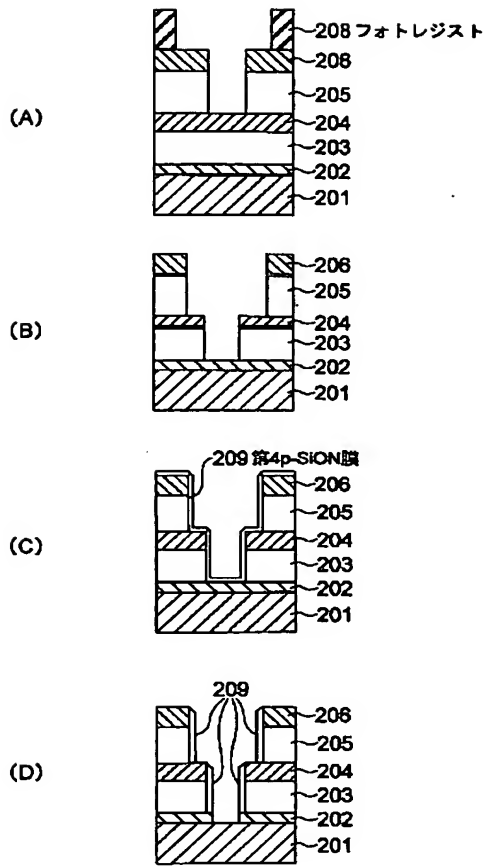
【図4】



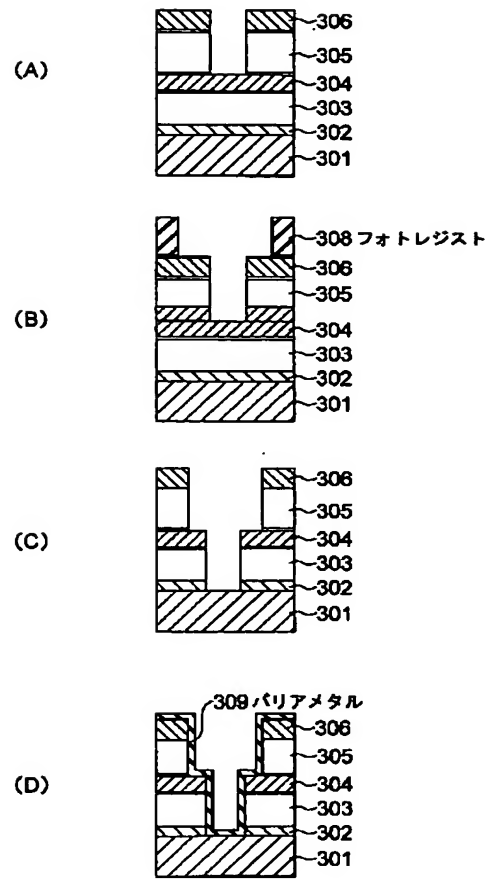
【図7】



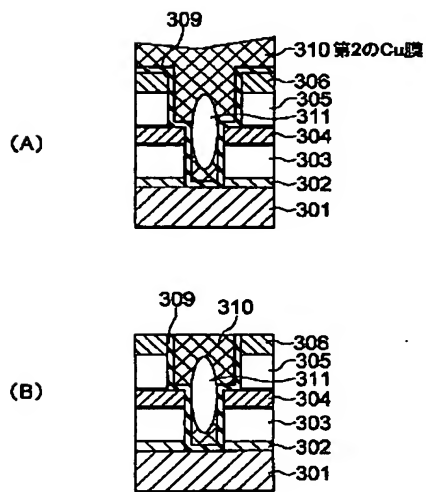
【図 5】



【図 8】



【図 9】





## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H O 1 L	21/318	H O 1 L	C
		21/302	L
		21/90	M
			V

F ターム (参考)

4M104 BB04 BB17 DD08 DD16 DD17  
DD18 DD19 DD20 DD37 DD65  
EE08 EE09 EE14 EE15 EE17  
EE18 FF07 FF13 FF17 FF22  
FF27 GG13 HH20

5F004 AA11 DA00 DB00 DB03 DB07  
DB10 DB24 EA06 EA27 EB01  
EB03

5F033 HH11 HH21 JJ01 JJ11 JJ21  
KK11 MM02 MM12 MM13 NN06  
NN07 PP15 QQ09 QQ10 QQ11  
QQ21 QQ25 QQ31 QQ37 QQ48  
QQ74 QQ75 RR04 RR06 RR08  
RR21 SS15 SS22 TT04 TT07  
TT08 WW00 WW09 XX00 XX25

5F058 AA08 AA10 AD02 AD05 AD09  
AD10 AD11 AG04 AH02 BA07  
BA10 BD02 BD04 BD10 BD15  
BD19 BF07 BH12 BJ02